

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Dong-Jin LEE, et al.

Art Unit: TBD

Appl. No.: NEW

Examiner: TBD

Filed: 2 January 2004

Atty. Docket: SEC.1109

For: **Synchronous Semiconductor Memory Device Having On-Die Termination Circuit and On-Die Termination Method**

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, **Mail Stop Patent Application**
Crystal Plaza Two, Lobby, Room 1B03
Arlington, Virginia 22202

Sir:

Applicants, in the above-identified application, hereby claim the priority date under the International Convention of the following Korean application:


Appln. No. 2003-0000215 filed January 3, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, P.L.L.C.

By: 
Kenneth D. Springer
Registration No. 39,843

VOLENTINE FRANCOS, P.L.L.C.
12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870

Date: 2 January 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2003-0000215
Application Number PATENT-2003-0000215

출원 년 월 일 : 2003년 01월 03일
Date of Application JAN 03, 2003

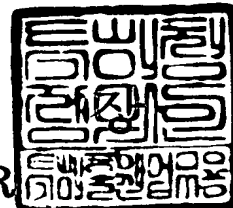
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 01 월 28 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2003.01.03
【발명의 명칭】	온다이 터미네이션 회로를 가지는 동기 반도체 메모리 장치 및 온다이 터미네이션 방법
【발명의 영문명칭】	synchronous semiconductor memory device having on die termination circuit and on die termination method therefore
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	김능균
【대리인코드】	9-1998-000109-0
【포괄위임등록번호】	2001-022241-9
【발명자】	
【성명의 국문표기】	경계현
【성명의 영문표기】	KYUNG, Kye Hyun
【주민등록번호】	630305-1260818
【우편번호】	449-913
【주소】	경기도 용인시 구성면 보정리 1161 진산마을 삼성5차아파트 512동 13 01호
【국적】	KR
【발명자】	
【성명의 국문표기】	유창식
【성명의 영문표기】	Y00, Chang Sik
【주민등록번호】	691215-1406217
【우편번호】	133-091
【주소】	서울특별시 성동구 금호동1가 1500번지 삼성아파트 303동 803호
【국적】	KR

【발명자】**【성명의 국문표기】**

이동진

【성명의 영문표기】

LEE, Dong Jin

【주민등록번호】

750425-1222614

【우편번호】

151-012

【주소】

서울특별시 관악구 신림2동 103-276번지

【국적】

KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
김능균 (인)

【수수료】**【기본출원료】**

20 면 29,000 원

【가산출원료】

15 면 15,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

23 항 845,000 원

【합계】

889,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통



【요약서】**【요약】**

외부클럭에 동기된 온다이 터미네이션 동작이 구현되도록 하여 온다이 터미네이션 직류(DC) 및 교류(AC) 파라미터 사양을 확실히 충족시키고, 외부 또는 내부 제어에 의한 적응적 임피던스 매칭을 행할 수 있는 온다이 터미네이션 회로를 가지는 동기 반도체 메모리 장치 및 온다이 터미네이션 방법이 개시된다. 외부클럭에 동기하여 데이터 출력 동작을 행하는 데이터 출력회로를 구비한 동기 반도체 메모리 장치는, 상기 데이터 출력 동작을 위한 데이터 출력 업 및 다운 신호의 생성과 동일한 타이밍으로 온다이 터미네이션 업 및 다운 신호를 생성하여 온다이 터미네이션 동작을 행하는 온다이 터미네이션 회로를 구비한다.

【대표도】

도 1

【색인어】

동기 반도체 메모리 장치, 온다이 터미네이션, 외부 클럭, 터미네이션 업 다운



【명세서】

【발명의 명칭】

온다이 터미네이션 회로를 가지는 동기 반도체 메모리 장치 및 온다이 터미네이션 방법{synchronous semiconductor memory device having on die termination circuit and on die termination method therefore}

【도면의 간단한 설명】

도 1은 본 발명의 실시예에 따른 온다이 터미네이션 회로를 가지는 동기 반도체 메모리 장치의 일부 블록도

도 2는 본 분야에서 권고된 온다이 터미네이션 직류(DC) 파라미터 사양을 나타낸 도면

도 3는 도 1중 ODT 드라이버의 예를 간략히 나타낸 회로도

도 4는 도 1중 ODT 동기 버퍼(32)의 구현예를 보인 회로도

도 5는 도 1중 ODT 게이트(34)의 구현예를 보인 회로도

도 6은 도 1중 출력 드라이버(24)의 구현예를 보인 회로도

도 7은 도 1중 ODT 드라이버(38)의 구현예를 보인 회로도

도 8은 본 분야에서 권고된 온다이 터미네이션 교류(AC) 파라미터 사양을 나타낸 도면

도 9는 도 1내의 데이터 출력 멀티플렉서와 출력 드라이버간의 연결관계를 보인 도면

도 10은 도 1내의 ODT 게이트와 ODT 드라이버간의 연결관계를 보인 도면

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <11> 본 발명은 반도체 메모리 장치의 터미네이션에 관한 것으로, 특히 온다이 터미네이션 회로를 가지는 동기 반도체 메모리 장치 및 온다이 터미네이션 방법에 관한 것이다.
- <12> CPU들, 메모리들, 및 게이트 어레이들 등과 같이 집적회로 칩으로 구현되는 다양한 반도체 장치들(devices)은 퍼스널 컴퓨터들, 서버들, 또는 워크스테이션들과 같은 다양한 전자 제품내로 탑재되어진다. 그러한 전자 제품들의 동작스피드가 날이 갈수록 고속화됨에 따라 상기 반도체 장치들간에 인터페이스되는 신호의 스윙 폭은 점차로 줄어들고 있다. 그 이유는 신호전달에 걸리는 지연시간을 최소화하기 위해서이다. 그러나 신호의 스윙 폭이 줄어들수록 외부 노이즈에 대한 영향은 증가되고, 인터페이스 단에서 임피던스 미스매칭(mismatching, 부정합)에 따른 신호의 반사도 크리티컬(critical)해진다. 상기 임피던스 미스매칭은 외부 노이즈나 전원전압의 변동, 동작 온도의 변화, 제조공정의 변화등에 기인하여 발생된다. 임피던스 미스매칭이 발생되면 데이터의 고속전송이 어렵게 되고 출력 데이터가 왜곡될 수 있다. 따라서, 왜곡된 출력신호가 전송될 경우에 수신측에서는 셋업/홀드 페일 또는 입력 레벨의 판단미스등의 문제들이 빈번히 야기될 수 있다.

<13> 특히, 다이내믹 랜덤 액세스 메모리(DRAM)을 채용하는 전자 제품에서 신호 버스의 주파수는 고속 동작의 실현을 위해 눈부시게 증가되고 있다. 이에 따라, 임피던스 미스 매칭 문제를 해결하여 신호 온전성(signal integrity)이 왜곡되는 현상을 최소화시키기 위한 버스 터미네이션 테크닉이 다양하게 연구되고 있다. 그러한 연구들중의 한 연구에서, 특히 스템브(stub) 버스 구조를 가지는 전자 시스템에 있어서는 마더 보드 터미네이션(이하 MBT:Mother Board Termination)를 사용하는 방식보다는 온다이 터미네이션(ODT:On-Die Termination)을 사용하는 방식이 신호 온전성 면에서 더 유리하다고 알려져 있다.

<14> 상기 마더 보드 터미네이션에 관한 선행기술들 중 하나는 1999년 8월 31일자로 이슈드(issued)되어 밀라(Millar)에게 특허허여된 미국특허번호 U.S.P. No. 5,945,886호에 개시되어 있으며, 상기 온다이 터미네이션에 관한 선행기술들 중 하나는 2000년 12월 5일자로 이슈드되어 테이로(Taylor)외 다수에게 특허허여된 미국특허번호 U.S.P No. 6,157,206호에 개시되어 있다.

<15> 상기 온다이 터미네이션은 메모리 모듈(module)에 장착된 메모리의 입출력 포트(I/O port)에서 버스 터미네이션이 이루어지게 되는 터미네이션 구조를 의미한다. 결국, 상기 온다이 터미네이션은 온-칩 터미네이션(On-Chip Termination)이라고도 불리우는 임피던스 매칭회로이며, 이는 집적회로 칩내의 패드 근방에 채용된다.

<16> 반도체 장치중 DDR(Double Data Rate) 타입의 동기 디램(SDRAM)등과 같은 반도체 메모리 장치에 있어서, 임피던스 매칭을 행하기 위한 전형적인 온다이 터미네이션은 고정된(fixed) 저항값을 가지는 저항소자를 패드에 연결하는 것에 의해 달성된다. 예를 들어, 임의의 터미네이션 회로가 60옴(Ω)의 터미네이션 동작을 행하도록 설계된 경우

에 도 2에서 보여지는 바와 같이 터미네이션 회로를 구성하는 저항소자들(R_{up}, R_{dn})의 저항 값은 각기 120옴으로 주어지는 것이다.

<17> 상기한 바와 같은 온다이 터미네이션 회로는 세팅된 저항 값 만을 가지게 되어 수신 환경의 변화에 따른 다양한 터미네이션 동작을 행하기 어렵다. 즉, 터미네이션이 디폴트 값으로 미리 설정되는 경우에는 적응적인 터미네이션 동작이 불가능하다. 또한, 온다이 터미네이션이 자체적으로 조절되는 셀프 터미네이션 회로를 내부에 구현한 경우라 하더라도 이를 필요로 하지 않는 반도체 메모리 장치에서는 불 필요하게 되는 문제점이 있으며, 더욱이 외부에서 인가되는 신호에 의해 터미네이션 저항을 다양한 모드의 변경 가능한 값들로 조절하기가 쉽지 않다. 또한, 고속의 반도체 메모리 장치에서 온다이 터미네이션 직류(DC) 및 교류(AC) 파라미터 사양이 권고되고 있는데 이를 여유있게 만족시킬 수 있는 온다이 터미네이션 대책이 필요하다.

<18> 따라서, 외부클럭에 동기된 온다이 터미네이션 동작이 구현되도록 하여 권고된 온다이 터미네이션 직류(DC) 및 교류(AC) 파라미터 사양을 확실히 충족시킴은 물론, 송수신 환경에 따라 최적화된 터미네이션 동작이 외부 또는 내부의 제어에 따라 수행될 수 있도록 하기 위한 적응적 온-다이 터미네이션 테크닉이 고속의 반도체 메모리 장치에서 더욱 더 필요해진다.

【발명이 이루고자 하는 기술적 과제】

- <19> 따라서, 본 발명의 목적은 상기한 종래의 문제점들을 해결할 수 있는 온다이 터미네이션 회로를 가지는 동기 반도체 메모리 장치 및 온다이 터미네이션 방법을 제공함에 있다.
- <20> 본 발명의 다른 목적은 외부클럭에 동기된 온다이 터미네이션 동작이 구현되도록 하여 온다이 터미네이션 직류(DC) 및 교류(AC) 파라미터 사양을 확실히 충족시키는 온다이 터미네이션 회로를 가지는 동기 반도체 메모리 장치 및 온다이 터미네이션 방법을 제공함에 있다.
- <21> 본 발명의 또 다른 목적은 외부 또는 내부 제어에 의한 적응적 임피던스 매칭을 행할 수 있는 온다이 터미네이션 회로를 가지는 동기 반도체 메모리 장치 및 온다이 터미네이션 방법을 제공함에 있다.
- <22> 본 발명의 또 다른 목적은 점유면적이 축소되고 전력소모가 적은 온다이 터미네이션 회로를 제공함에 있다.
- <23> 본 발명의 또 다른 목적은 온다이 터미네이션 턴온 및 턴오프 동작을 데이터의 출력에 맞추어 행할 수 있는 더블 데이터 레이트 타입의 동기 반도체 메모리 장치를 제공함에 있다.
- <24> 상기한 목적들 가운데 일부의 목적들을 달성하기 위한 본 발명의 일 양상(Aspect)에 따라, 외부클럭에 동기하여 데이터 출력 동작을 행하는 데이터 출력회로를 구비한 동기 반도체 메모리 장치는, 상기 데이터 출력 동작을 위한 데이터 출력 업 및 다운 신호

의 생성과 동일한 타이밍으로 온다이 터미네이션 업 및 다운 신호를 생성하여 온다이 터미네이션 동작을 행하는 온다이 터미네이션 회로를 구비함을 특징으로 한다.

<25> 바람직하기로, 상기 온다이 터미네이션 회로는: 상기 외부클럭을 버퍼링함에 의해 생성된 버퍼드 클럭신호에 응답하여 인가되는 온다이 터미네이션 코멘드를 수신하고, 이를 상기 외부클럭에 지연동기된 제1 클럭신호에 맞추어 출력함에 의해, 동기 온다이 터미네이션 코멘드를 생성하는 온다이 터미네이션 동기버퍼와; 상기 제1 클럭신호 및 상기 제1 클럭신호와는 설정된 만큼의 위상차를 갖는 제2 클럭신호에 응답하여 상기 동기 온다이 터미네이션 코멘드를 패싱 및 래치함에 의해, 상기 온다이 터미네이션 업 및 다운 신호를 생성하는 온다이 터미네이션 게이트와; 상기 온다이 터미네이션 업 및 다운 신호의 상태에 응답하여 풀업 저항과 풀다운 저항의 온 또는 오프를 제어함에 의해, 상기 외부클럭에 동기된 온다이 터미네이션 드라이빙 동작이 행해지도록 하는 온다이 터미네이션 드라이버를 구비한다.

<26> 본 발명의 다른 양상에 따라, 외부클럭에 동기하여 데이터 출력 동작을 행하는 데이터 출력회로를 구비한 동기 반도체 메모리 장치에서의 온다이 터미네이션 방법은, 상기 데이터 출력 동작을 위한 데이터 출력 업 및 다운 신호의 생성과 동일한 타이밍으로 온다이 터미네이션 업 및 다운 신호를 생성하는 단계와; 온다이 터미네이션 코멘드가 인가될 경우, 상기 온다이 터미네이션 업 및 다운 신호의 상태에 대응된 온다이 터미네이션 동작을 행하여 온다이 터미네이션을 위한 드라이버들 내의 풀업 및 풀다운 저항이 제어되도록 하는 단계를 가진다.

<27> 상기한 본 발명의 장치적 방법적 구성들에 따르면, 외부클럭에 동기된 온다이 터미네이션 동작이 구현되므로 온다이 터미네이션 직류(DC) 및 교류(AC) 파라미터 사양이 충족되고, 외부 또는 내부 제어에 의한 적응적 임피던스 매칭이 수행된다.

【발명의 구성 및 작용】

<28> 이하에서는 본 발명의 실시예에 따른 온다이 터미네이션 회로를 가지는 동기 반도체 메모리 장치 및 온다이 터미네이션 방법이 첨부된 도면들을 참조하여 설명된다. 비록 다른 도면에 표시되어 있더라도 동일 내지 유사한 기능을 가지는 구성요소들은 동일 내지 유사한 참조부호로서 나타나 있다.

<29> 도 1은 본 발명의 실시예에 따른 온다이 터미네이션 회로를 가지는 동기 반도체 메모리 장치의 일부 블록도이다. 동기 반도체 메모리 장치는, 외부클럭(Ext CLK)에 동기하여 데이터 출력 동작을 행하기 위해, 코어 셀(18), 데이터 패스(20), 데이터 출력(DQ) 멀티플렉서(2), 및 출력 드라이버(24)를 포함하는 데이터 출력회로를 구비한다. 또한 동기 반도체 메모리 장치는, 입력버퍼(30), ODT 동기버퍼(32), ODT 게이트(34), 및 ODT 드라이버(38)를 포함하는 온다이 터미네이션 회로를 구비한다. 상기 온다이 터미네이션 회로는 상기 데이터 출력 동작을 위한 데이터 출력 업 및 다운 신호(DQ_UP, DQ_DN)의 생성과 동일한 타이밍으로 온다이 터미네이션 업 및 다운 신호(ODT_UP, ODT_DN)를 생성하여 온다이 터미네이션 동작을 행한다.

<30> 상기 온다이 터미네이션(ODT)동기 버퍼(32)는, 상기 외부클럭(Ext CLK)을 버퍼링함에 의해 생성된 버퍼드 클럭신호(PCLK)에 응답하여 인가되는 온다이 터미네이션 코멘

드(TODT)를 수신하고, 이를 상기 외부클럭(Ext CLK)에 지연동기(delay locking)된 제1 클럭신호(CLKDQ1)에 맞추어 출력함에 의해, 동기 온다이 터미네이션 코멘드(PODT)를 생성한다.

<31> 상기 ODT 게이트(34)는, 상기 제1 클럭신호(CLKDQ1) 및 상기 제1 클럭신호와 는 설정된 만큼의 위상차를 갖는 제2 클럭신호(CLKDQ2)에 응답하여 상기 동기 온다이 터미네이션 코멘드(PODT)를 패싱(passing) 및 래치함에 의해, 상기 온다이 터미네이션 업 및 다운 신호(ODT_UP, ODT_DN)를 생성한다.

<32> 상기 ODT 드라이버(38)는, 상기 온다이 터미네이션 업 및 다운 신호(ODT_UP, ODT_DN)의 상태(status)에 응답하여 풀업 저항과 풀다운 저항의 온 또는 오프를 제어함에 의해, 상기 외부클럭에 동기된 온다이 터미네이션 드라이빙 동작이 행해지도록 한다.

<33> 상기 데이터 출력회로내의 DQ 멀티플렉서(22)는, 데이터 패스(20)를 통해 인가되는 리드 데이터를 상기 제1,2 클럭신호(CLKDQ1, CLKDQ2)를 사용하여 멀티플렉싱함에 의해, 데이터 출력 업 및 다운 신호(DQ_UP, DQ_DN)를 생성한다.

<34> 상기 출력 드라이버(24)는 상기 데이터 출력 업 및 다운 신호(DQ_UP, DQ_DN)의 상태에 응답하여 풀업 드라이버와 풀다운 드라이버의 온 또는 오프를 제어함에 의해 상기 외부클럭에 동기된 데이터 출력동작이 행해지도록 한다.

<35> 온다이 터미네이션을 위한 코멘드 패스(path)가 구체적으로 설명된다. 칩셋(chipset)에서제공되는 온다이 터미네이션 코멘드(ODT Command)는 대개 SSTL 레벨이다. 상기 온다이 터미네이션 코멘드(ODT Command)를 수신하는 입력 버퍼(30)는 레벨변환동작

을 행하여 CMOS 레벨의 온다이 터미네이션 코멘드(TODT)를 출력한다. 상기 TODT는 상기 ODT 동기 버퍼(32)에 인가된다. 상기 ODT 동기 버퍼(32)는 TODT의 셋업/홀드 타임을 상기 PCLK에 의해 결정한 다음, DLL(Delay Locked Loop)의 클럭인 상기 제1 클럭신호(CCLKDQ1)에 동기하여 출력을 생성한다. 이에 따라, 동기 온다이 터미네이션 코멘드(PODT)가 상기 ODT 동기 버퍼(32)로부터 생성된다. 상기 ODT 게이트(34)에 인가되는 제2 클럭신호(CCLKDQ2)는 상기 제1 클럭신호(CCLKDQ1)를 외부 클럭의 반주기 만큼 지연한 신호로서, 도 1의 로컬 버퍼(16)로부터 출력되는 신호이다. 결국, 상기 제1 및 제2 클럭신호로써 상기 동기 온다이 터미네이션 코멘드(PODT)를 패싱 하고 래치함에 의해, ODT 드라이버(38)를 구동하기 위한 상기 온다이 터미네이션 업 및 다운 신호(ODT_UP, ODT_DN)가 생성된다.

<36> 이제, 데이터 출력 패스가 설명된다. 코어 셀(18)에 저장된 셀 데이터가 데이터 패스(20)를 거쳐 DQ 멀티플렉서(22)에 인가되면, 상기 DQ 멀티플렉서(22)는 상기 데이터를 상기 제1,2 클럭신호(CCLKDQ1, CCLKDQ2)를 사용하여 멀티플렉싱한다. 이에 따라, 데이터 출력 업 및 다운 신호(DQ_UP, DQ_DN)가 생성된다. 상기 데이터 출력 업 및 다운 신호(DQ_UP, DQ_DN)의 상태에 따라 상기 출력 드라이버(24)내의 풀업 드라이버와 풀다운 드라이버의 온 또는 오프 동작이 행해진다. 결국, 상기 출력 드라이버(24)의 출력에 연결된 패드(PD1)를 통해 출력되는 데이터는 상기 외부클럭에 동기하여 출력된다. 상기 DQ 멀티플렉서(22)와 상기 ODT 게이트(34)에는 상기 제1,2 클럭신호(CCLKDQ1, CCLKDQ2)가 공통으로 인가되어, DQ_UP, DQ_DN과 ODT_UP, ODT_DN이 동일한 타이밍으로 인에이블 되므로, 상기 외부클럭에 동기된 데이터 출력동작에 맞추어 상기 온다이 터미네이션 동작도 행하여짐을 알 수 있다.

- <37> 결국, 데이터 출력 시점에 맞추어 ODT 동작이 수행되면 ODT AC 스펙이 자동적으로 만족된다. 여기서, 출력 드라이버(24)와 ODT 드라이버(38)는 동일한 타입으로 구성되는 것이 바람직하다.
- <38> 도 1에서 미설명된 제1,2 클럭버퍼(10,12)는 각기 클럭의 레벨 변환을 위한 용도로 사용된다. 또한, DLL(14)은 본 분야에 공지된 딜레이 록 루프이다. 로컬 버퍼(16)는 상기 DLL(14)의 출력을 받아 바이 패스함에 의해 상기 제1 클럭신호(CLKDQ1)를 출력하고, 상기 DLL(14)의 출력을 상기 외부클럭의 반주기 만큼 지연한 후 출력함에 의해 상기 제2 클럭신호(CLKDQ2)를 출력한다.
- <39> 도 2는 본 분야에서 권고된 온다이 터미네이션 직류(DC) 파라미터 사양을 나타낸 도면이다. 도 2를 참조하면, ODT DC 사양중에서는 핀에서 바라보는 등가 저항 $R_{tt}(eff)$ 가 있고, ODT 업 저항 R_{up} 와 ODT 다운 저항 R_{dn} 의 미스매치 정도를 나타내는 $R_{tt}(mis)$ 가 있다.
- <40> 즉, R_{tt} 유효 임피던스 값은 다음과 같이 나타난다.
- <41>
$$R_{tt}(eff) = V_{IHac} - V_{ILac} / I(V_{IHac}) - I(V_{ILac}) = R_{up} R_{dn} / R_{up} + R_{dn} = R_{up} // R_{dn}$$
- <42> 또한, R_{up} 와 R_{dn} 간의 R_{tt} 미스매치는 다음과 같이 나타난다.
- <43>
$$R_{tt}(mis) = [(2 \times V_m / V_{DDQ}) - 1] \times 100\% = R_{up} R_{dn} / R_{up} + R_{dn} \times 100\%$$
- <44> 도 3는 도 1중 ODT 드라이버의 예를 간략히 나타낸 회로도이다. 도 3에서 $R_{tt}(eff)=150\Omega$ 일 경우에는 제1 드라이버부(38a)만이 온(ON)되고, $R_{tt}(eff)=75\Omega$ 일 경우에는 제1 드라이버부(38a)와 제2 드라이버부(38b)가 모두 온된다. 도 3에서 ODT_UP0~UP3 와 ODT_DN0~DN3 신호는 도 1의 ODT 게이트(34)의 출력인 ODT_UP/ODT_DN과 ODT 콘트롤부

(36)의 출력인 RUP_EN/RDN_EN과의 조합된 신호가 될 수 있다. 상기 ODT_UP0~UP3은 도 3의 풀업 저항들(Rup0~Rup3)을 온/오프 시키기 위한 신호이며, 상기 ODT_DN0~DN3은 풀다운 저항들(Rdn0~Rdn3)을 온/오프 시키기 위한 신호이다. 그리고 도 3의 75_UP0~75_UP3은 ODT_UP0~UP3과 실질적으로 같은 신호이며, 다만, $R_{tt}(eff)=75\Omega$ 일 경우에만 75_UP0~75_UP3은 인에이블된다. 75_DN0~75DN3 신호도 ODT_DN0~ODT_DN3 신호와 같은 신호이며, 마찬가지로 $R_{tt}(eff)=75\Omega$ 일 경우에만 인에이블된다. 결국, 도 3에서 제2 드라이버(38b)내의 저항들(Rup0~Rup3과 Rdn0~Rdn3)는 제1 드라이버(38a)의 저항들(Rup0~Rup3와 Rdn0~Rdn3)과 각기 대응적으로 같으며, $R_{tt}(eff)=75\Omega$ 일 경우에만 인에이블된다. 도 3에서 Rup1~Rup3과 Rdn1~Rdn3은 도 1의 ODT 콘트롤부(36)에 형성된 퓨즈를 커팅하거나 ODT 콘트롤부(36)를 통해 모드 레지스터 세트 코드를 인가함에 의해 온/오프될 수 있다. 상기 Rup1~Rup3과 Rdn1~Rdn3의 저항값은 차례로 $1K\Omega$, $2K\Omega$, $4K\Omega$ 순으로 2의 배수로 배치되어 선형적인 $R_{tt}(eff)$ 특성이 얻어진다. 또한, Rup0~Rup2과 Rdn0~Rdn2는 디폴트로 온되어 있고, Rup3과 Rdn3은 디폴트로 오프되어 있다.

<45> 공정 변화나 전압, 온도 등의 변화에 따라 $R_{tt}(eff)$ 값이 변하게 되고 Rup과 Rdn의 값이 서로 달라져 $R_{tt}(mis)$ 값이 커지게 된다. 이 경우에 퓨즈 옵션을 통해 Rup과 Rdn의 값을 조절하면, $R_{tt}(eff)$ 값과 $R_{tt}(mis)$ 값을 조절할 수 있다. 예를 들어, UP 저항 Rup의 경우, 디폴트로 Rup0~Rup2가 온되어 있는데, 실제의 측정값이 예측값보다 크게 나왔을 경우에, 퓨즈를 통해 Rup3를 온시켜 Rup0~Rup3이 모두 온되도록 하거나, Rup2를 오프시키고 Rup3를 온시켜 Rup0, Rup1, Rup3이 온되도록 하는 것에 의해, Rup 값을 낮출 수 있다. 그리고 이와는 반대로 Rup 값을 크게 할 수 있으며, Rdn의 경우도 마찬가지로 트리밍할 수 있다.

<46> 도 4는 도 1중 ODT 동기 버퍼(32)의 구현예를 보인 회로도이다. 도면에서, ODT 동기 버퍼(32)는, TODT 신호를 수신하여 소정시간동안 지연하는 딜레이(D1)와, 상기 딜레이(D1)의 출력을 버퍼드(buffered)클럭신호(PCLK)에 응답하여 래치하는 제1 플립플롭(FF1)과, 제1 플립플롭(FF1)의 출력단(Q)으로부터 수신되는 신호를 클럭신호(CLKDQ1)에 응답하여 래치하는 제2 플립플롭(FF2)으로 구성되어 있다. 여기서, 상기 TODT 신호는 도 1내의 입력버퍼(30)에서 출력되는 신호이다. 여기서, 상기 입력버퍼(30)는 SSTL 레벨로 인가되는 ODT 코멘드의 신호레벨을 CMOS 레벨로 변환하는 기능을 한다. 상기 버퍼드 클럭신호(PCLK)는 외부클럭(Ext CLK)을 수신하는 제2 클럭버퍼(12)로부터 출력된 신호이다. 또한, 클럭신호(CLKDQ1)는 로컬 버퍼(16)로부터 출력되는 DLL 로킹 신호이다. 상기한 ODT 동기버퍼(32)내에서, 상기 TODT 신호의 셋업/홀드 타임은 상기 클럭신호(PCLK)에 의해 결정된다. 이후 제1 플립플롭(FF1)에서 출력된 상기 TODT 신호는 클럭신호(CLKDQ1)의 도메인(domain)으로 넘어간다. 결국, 제2 플립플롭(FF2)로부터 출력되는 출력신호(PODT)는 상기 클럭신호(CLKDQ1)에 동기된 것이다. 도면에서, 상기 제1,2 플립플롭(FF1,FF2)는 모드 D-타입 플립플롭이다.

<47> 도 5는 도 1중 ODT 게이트(34)의 구현예를 보인 회로도이다. 도면에서 ODT 게이트(34)는, 2개의 전송스위치들(SW1,SW2)과, 2개의 인버터 래치들(L1,L2)과, 피형 모오스트랜지스터(PMOS1)와, 입력용 인버터(IN1)와, 출력용 인버터(IN4)와, 제1,2 클럭신호들(CLKDQ1,CLKDQ2)을 반전하기 위한 반전용 인버터들(IN2,IN3)로 구성되어 있다. 여기서, 상기 ODT 동기버퍼(32)로부터 출력된 출력신호(PODT)는 상기 입력용 인버터(IN1)에 인가되며, 상기 제1,2 클럭신호들(CLKDQ1,CLKDQ2)은 상기 전송스위치들(SW1,SW2)의 제어단자에 인가된다. 상기 제1 클럭신호(CLKDQ1)가 하이인 구간에서 전송스위치(SW1)가 온되어

상기 인버터(IN1)의 출력이 래치(L1)에 제공된다. 또한, 상기 제2 클럭신호(CLKDQ2)가 하이인 구간에서 전송스위치(SW2)가 온되어 상기 래치(L1)의 출력이 래치(L2)에 제공된다. 상기 출력용 인버터(IN4)의 출력단에서 제공되는 출력은 신호(ODT_UP)가 되고, 상기 인버터(IN4)의 입력단에서 제공되는 출력은 신호(ODT_DN)가 된다. 결국, 상기 ODT 게이트(34)로 인가되는 상기 신호(PODT)는 상기 클럭신호(CLKDQ1)와 상기 클럭신호(CLKDQ1)에 대하여 0.5 tCK 위상차를 갖는 클럭신호(CLKDQ2)에 각기 동기된 다음, ODT 드라이버(38)를 인에이블 시키는 업/다운신호들(ODT_UP, ODT_DN)로서 출력된다.

<48> 도 6은 도 1중 출력 드라이버(24)의 구현예를 보인 회로도이다. 출력드라이버(24)는 복수의 단위 출력드라이버들(24a, 24b)을 포함한다. 하나의 단위 출력드라이버(24a)는 풀업 및 풀다운 동작을 위한 복수의 피형 및 엔형 트랜지스터들(P1-P3, P10-P12, N1-N3, N10-N12)로 구성되어 있다. 도면에서 단위 출력드라이버들(24a, 24b)내의 출력노드들(N01, N0n)은 출력패드(PD1)에 공통으로 연결된다.

<49> 도 7은 도 1중 ODT 드라이버(38)의 구현예를 보인 회로도이다. ODT 드라이버(38)는 복수의 단위 ODT 드라이버들(38a1-38an, 38b1-38bn)을 포함한다. 하나의 단위 ODT드라이버(38a1)는 풀업 및 풀다운 동작을 위한 복수의 피형 및 엔형 트랜지스터들(P1-P3, P10-P12, N1-N3, N10-N12)과, 풀업 저항(Rup0)과, 풀다운 저항(Rdn0)으로 구성되어 있다. 여기서, 상기 피형 및 엔형 트랜지스터들(P1, P2, N1-N3)은 낸드(NAND) 게이트를 구성하고, 상기 피형 및 엔형 트랜지스터들(P10-P12, N10, N11)은 노아(NOR) 게이트를 구성한다. 도면에서 단위 ODT 드라이버들(38a1-38an)내의 출력노드들(ND1, NDn)은 출력패드(PD1)에 공통으로 연결된다. 한편, 상기 출력패드(PD1)에 또한 연결된 복수의 단위 ODT 드라이버들(38b1-38bn)은 예컨대 ODT 저항이 75옴인 경우에만 인에이블 된다.

- <50> 도 8은 본 분야에서 권고된 온다이 터미네이션 교류(AC) 파라미터 사양 (specification)을 나타낸 도면이다. 도 1에서 신호(ODT_UP, ODT_DN)은 노말 데이터 패스의 신호(DQ_UP, DQ_DN)과 같은 딜레이를 가지기 때문에, ODT AC 사양중에서 tAON, tAOF를 충족하게된다.
- <51> 도 9는 도 1내의 데이터 출력 멀티플렉서와 출력 드라이버간의 연결관계를 보인 도면이고, 도 10은 도 1내의 ODT 게이트와 ODT 드라이버간의 연결관계를 보인 도면이다. 도 7에서 보여지는 ODT 드라이버내의 피형 및 엔형 모오스 트랜지스터(P3,N12)의 사이즈는 각기 도 6에서 보여지는 출력 드라이버내의 피형 및 엔형 모오스 트랜지스터(P3,N12)의 사이즈의 절반정도로 구현될 수 있다. 따라서, 도 10에서와 같이 하나의 ODT 게이트가 2개의 ODT 드라이버를 구동하도록 연결을 하면, ODT 게이트의 개수가 반으로 줄어든다. 따라서, 이 경우에는 레이아웃 면적과 파워 소모가 줄어든다.
- <52> 이하에서는 상기한 도면들을 참조로 온다이 터미네이션의 동작 예가 설명될 것이다.
- <53> ODT 동작을 수행할 필요가 있는 경우 즉, ODT 온 경우에 ODT 코멘드가 입력버퍼(30)에 제공된다. 이에 따라, 상기 ODT 동기 버퍼(32)의 출력신호(PODT)는 하이(HIGH)레벨이 된다. 상기 신호(PODT)는 도 5에서 보여지는 ODT 게이트(34)내의 인버터(IN1)에 의해 반전(인버팅)된 후, 클럭신호(CCLKDQ1)에 동기되어 전송스위치(SW1)를 통해 로우레벨로서 출력된다. 이 때 상기 전송스위치(SW1)의 출력은 로우레벨이므로 피형 모오스 트랜지스터(PMOS1)가 턴온된다. 이에 따라 래치(L2)의 입력은 하이이고 출력은 로우가 되므로, 상기 ODT 게이트(34)의 업/다운신호들(ODT_UP, ODT_DN)은 각기 하이와 로우로서 출력된다. 상기 ODT 게이트(34)의 업/다운신호들(ODT_UP, ODT_DN)이 각기 하이와 로우로서

출력될 때, ODT 드라이버(38)내의 복수의 단위 ODT 드라이버들(38a1-38an, 38b1-38bn) 중 대응되는 드라이버들이 활성화된다. 여기서, 대응되는 드라이버들만이 활성화 되는 이유는 도 7에서 보여지는 바와 같이, 낸드 게이트 및 노아 게이트가 풀업 트랜지스터와 풀다운 트랜지스터의 전단에 연결되어 있기 때문이다. 즉, 상기 업/다운신호들(ODT_UP, ODT_DN)이 각기 하이와 로우로서 출력되어도, 상기 도 1의 ODT 컨트롤부(36)의 업 및 다운 인에이블 신호(RUP_EN, RDN_EN)가 각기 하이와 로우로서 인가되지 않으면 그에 대응되는 단위 ODT 드라이버는 오프되는 것이다. 결국, 외부 또는 내부적으로 제어신호를 발생하여 원하는 ODT 드라이버만 선택적으로 드라이빙을 행함에 의해, 다양한 온다이 터미네이션 제어가 가능하다.

<54> 한편, ODT 오프의 경우에 상기 신호(PODT)는 로우레벨이 된다. 상기 신호(PODT)는 도 5에서 보여지는 ODT 게이트(34)내의 인버터(IN1)에 의해 반전된 후, 클럭신호(CCLKDQ1)에 동기되어 전송스위치(SW1)를 통해 출력된다. 이 때 상기 전송스위치(SW1)의 출력은 하이레벨이므로 피형 모오스 트랜지스터(PMOS1)는 턴오프된다. 한편, 래치(L1)는 상기 전송스위치(SW1)의 출력을 래치하고 로우레벨을 출력한다. 상기 래치(L1)의 출력은 클럭신호(CCLKDQ2)에 동기되어 전송스위치(SW2)를 통해 로우레벨로서 출력된다. 이에 따라 래치(L2)의 입력은 로우이고 출력은 하이가 되므로, 상기 ODT 게이트(34)의 업/다운 신호들(ODT_UP, ODT_DN)은 각기 로우와 하이로서 출력된다. 이에 따라, ODT 드라이버(38)내의 복수의 단위 ODT 드라이버들(38a1-38an, 38b1-38bn)이 비활성화된다. 결국, 이 경우에는 온다이 터미네이션 동작이 행해지지 않는다.

<55> 도 1에서, DQ 멀티플렉서(22)로부터 출력되는 신호(DQ_UP, DQ_DN)에 의해 출력 드라이버(24)가 구동되는 것은 동기 반도체 메모리 장치에서 주지된 사실이다. 한편, 본

발명에 따르면, 상기 신호(DQ_UP, DQ_DN)의 출력시점에 동기하여 ODT 게이트(34)로부터 출력되는 신호(ODT_UP, ODT_DN)에 의해 ODT 드라이버(38)도 구동되므로, 온다이 터미네이션 직류(DC) 및 교류(AC) 파라미터 사양이 충족되고, 외부 또는 내부 제어에 의한 적응적 임피던스 매칭이 이루어진다. 여기서, 이미 도 6 및 도 7에서 설명된 바와 같이, 폴업 및 폴다운 저항을 제외하고는 출력드라이버(24)와 상기 ODT 드라이버(38)의 내부 구성은 서로 같은 형태로 구성되는 것이 좋다.

<56> 상기한 설명에서는 본 발명의 실시 예를 위주로 도면을 따라 예를 들어 설명하였지만, 본 발명의 기술적 사상의 범위 내에서 본 발명을 다양하게 변형 또는 변경할 수 있음은 본 발명이 속하는 분야의 당업자에게는 명백한 것이다. 예를 들어, 사안이 다른 경우에 온다이 터미네이션 회로의 세부적 구성을 다양한 형태로 변경할 수 있음은 물론이다.

【발명의 효과】

<57> 상기한 바와 같이 본 발명에 따른 온다이 터미네이션 회로를 가지는 동기 반도체 메모리 장치 및 온다이 터미네이션 방법에 의하면, 외부클럭에 동기된 온다이 터미네이션 동작이 구현되므로 온다이 터미네이션 직류(DC) 및 교류(AC) 파라미터 사양이 충족되고, 외부 또는 내부 제어에 의한 적응적 임피던스 매칭이 수행되는 효과가 있다.

【특허청구범위】**【청구항 1】**

외부클럭에 동기하여 데이터 출력 동작을 행하는 데이터 출력회로를 구비한 동기 반도체 메모리 장치에 있어서:

상기 데이터 출력 동작을 위한 데이터 출력 업 및 다운 신호의 생성과 동일한 타이밍으로 온다이 터미네이션 업 및 다운 신호를 생성하여 온다이 터미네이션 동작을 행하는 온다이 터미네이션 회로를 구비함을 특징으로 하는 동기 반도체 메모리 장치.

【청구항 2】

제1항에 있어서, 상기 온다이 터미네이션 회로는:

상기 외부클럭을 버퍼링함에 의해 생성된 버퍼드 클럭신호에 응답하여 인가되는 온다이 터미네이션 코멘드를 수신하고, 이를 상기 외부클럭에 지연동기된 제1 클럭신호에 맞추어 출력함에 의해, 동기 온다이 터미네이션 코멘드를 생성하는 온다이 터미네이션 동기버퍼와;

상기 제1 클럭신호 및 상기 제1 클럭신호와는 설정된 만큼의 위상차를 갖는 제2 클럭신호에 응답하여 상기 동기 온다이 터미네이션 코멘드를 패싱 및 래치함에 의해, 상기 온다이 터미네이션 업 및 다운 신호를 생성하는 온다이 터미네이션 게이트와;

상기 온다이 터미네이션 업 및 다운 신호의 상태에 응답하여 풀업 저항과 풀다운 저항의 온 또는 오프를 제어함에 의해, 상기 외부클럭에 동기된 온다이 터미네이션 드라

이빙 동작이 행해지도록 하는 온다이 터미네이션 드라이버를 구비함을 특징으로 하는 동기 반도체 메모리 장치.

【청구항 3】

제1항에 있어서, 상기 데이터 출력회로는:

데이터 패스를 통해 인가되는 리드 데이터를 상기 제1,2 클럭신호를 사용하여 멀티플렉싱함에 의해, 데이터 출력 업 및 다운 신호를 생성하는 데이터 출력 멀티플렉서와;

상기 데이터 출력 업 및 다운 신호의 상태에 응답하여 풀업 드라이버와 풀다운 드라이버의 온 또는 오프를 제어함에 의해 상기 외부클럭에 동기된 데이터 출력동작이 행해지도록 하는 출력 드라이버를 적어도 포함함을 특징으로 하는 동기 반도체 메모리 장치.

【청구항 4】

제2항에 있어서, 상기 제1 클럭신호는, 상기 외부클럭을 지연동기함에 의해 상기 외부클럭에 지연동기된 클럭신호가 생성되도록 하는 지연동기회로(DLL)로부터 얻어짐을 특징으로 하는 동기 반도체 메모리 장치.

【청구항 5】

제2항에 있어서, 상기 제1 클럭신호와 상기 제2 클럭신호간의 위상차는 상기 외부 클럭의 반주기 만큼임을 특징으로 하는 동기 반도체 메모리 장치.

【청구항 6】

제2항에 있어서, 상기 온다이 터미네이션 동기버퍼는:

상기 온다이 터미네이션 코멘드를 소정시간 동안 지연하는 딜레이와;

상기 딜레이의 출력을 상기 버퍼드 클럭신호에 응답하여 래치함에 의해 상기 온다이 터미네이션 코멘드의 셋업 및 홀드 타임이 결정되도록 하는 제1 플립플롭과;

상기 제1 플립플롭의 출력을 상기 제1 클럭신호에 응답하여 래치함에 의해 동기 온다이 터미네이션 코멘드가 생성되도록 하는 제2 플립플롭을 구비함을 특징으로 하는 동기 반도체 메모리 장치.

【청구항 7】

제6항에 있어서, 상기 온다이 터미네이션 게이트는:

상기 동기 온다이 터미네이션 코멘드의 레벨을 인버팅하기 위한 제1 인버터와;

상기 제1 인버터의 출력을 상기 제1 클럭신호의 제1상태에 응답하여 전송하기 위한 제1 전송게이트와;

상기 제1 전송게이트의 출력을 래치하기 위한 제1 래치와;

상기 제1 래치의 출력을 상기 제2 클럭신호의 제1상태에 응답하여 전송하기 위한 제2 전송게이트와;

상기 제2 전송게이트의 출력을 래치하여 상기 온다이 터미네이션 다운 신호를 생성하는 제2 래치와;

상기 제1 전송게이트의 출력에 게이트가 연결되고 소오스로 전원전압을 수신하며 드레인이 상기 제2 전송게이트의 출력단에 연결된 피형 모오스 트랜지스터와;

상기 제2 래치의 출력을 인버팅하여 상기 온다이 터미네이션 업신호를 생성하는 제2 인버터를 구비함을 특징으로 하는 동기 반도체 메모리 장치.

【청구항 8】

제7항에 있어서, 상기 온다이 터미네이션 드라이버는:

대응되는 출력 패드에 상기 풀업 저항 및 풀다운 저항의 공통 접속노드가 공통으로 연결된 복수의 단위 드라이버로 구성되며,

각각의 단위 드라이버는, 상기 공통 접속노드에 각각의 일단이 공통으로 연결된 상기 풀업 저항 및 풀다운 저항과; 상기 풀업 저항의 타단에 드레인이 연결되고 소오스로 전원전압을 수신하며 게이트로 상기 온다이 터미네이션 업 신호의 상태를 수신하는 풀업 트랜지스터와; 상기 풀다운 저항의 타단에 드레인이 연결되고 소오스로 접지전압을 수신하며 게이트로 상기 온다이 터미네이션 다운 신호의 상태를 수신하는 풀다운 트랜지스터를 가짐을 특징으로 하는 동기 반도체 메모리 장치.

【청구항 9】

제8항에 있어서, 상기 출력 드라이버는 상기 풀업 및 풀다운 트랜지스터를 제외하고는 상기 온다이 터미네이션 드라이버와 같은 형태로 구성됨을 특징으로 하는 동기 반도체 메모리 장치.

【청구항 10】

외부클럭에 동기하여 더블 데이터 레이트 방식으로 데이터 출력 동작을 행하는 데이터 출력회로를 구비한 동기 반도체 메모리 장치에 있어서:

온다이 터미네이션 코멘드가 인가될 경우, 상기 데이터 출력 동작을 위한 데이터 출력 업 및 다운 신호가 생성되는 시점에 맞추어서 온다이 터미네이션 업 및 다운 신호를 생성하여 온다이 터미네이션 동작을 행하는 온다이 터미네이션 회로를 구비함을 특징으로 하는 동기 반도체 메모리 장치.

【청구항 11】

제10항에 있어서, 상기 온다이 터미네이션 회로는:

상기 외부클럭을 버퍼링함에 의해 생성된 버퍼드 클럭신호에 응답하여 인가되는 온다이 터미네이션 코멘드를 수신하고, 이를 상기 외부클럭에 지연동기된 제1 클럭신호에 맞추어 출력함에 의해, 동기 온다이 터미네이션 코멘드를 생성하는 온다이 터미네이션 동기버퍼와;

상기 제1 클럭신호 및 상기 제1 클럭신호와 설정된 만큼의 위상차를 갖는 제2 클럭신호에 응답하여 상기 동기 온다이 터미네이션 코멘드를 패싱 및 래치함에 의해, 상기 온다이 터미네이션 업 및 다운 신호를 생성하는 온다이 터미네이션 게이트와;

외부 또는 내부 제어에 응답하여 온다이 터미네이션의 선택적 동작을 위한 업 및 다운 인에이블 신호를 출력하는 온다이 터미네이션 컨트롤부와;

상기 온다이 터미네이션 업 및 다운 신호의 상태와 상기 업 및 다운 인에이블 신호의 상태를 논리조합한 조합신호의 상태에 응답하여 풀업 저항과 풀다운 저항의 온 또는 오프를 제어함에 의해, 상기 외부클럭에 동기된 온다이 터미네이션 드라이빙 동작이 행해지도록 하는 온다이 터미네이션 드라이버를 구비함을 특징으로 하는 동기 반도체 메모리 장치.

【청구항 12】

제11항에 있어서, 상기 데이터 출력회로는:

데이터 패스를 통해 인가되는 메모리 셀 데이터를 상기 제1,2 클럭신호를 사용하여 멀티플렉싱함에 의해, 데이터 출력 업 및 다운 신호를 생성하는 데이터 출력 멀티플렉서와;

상기 데이터 출력 업 및 다운 신호의 상태에 응답하여 풀업 드라이버와 풀다운 드라이버의 온 또는 오프를 제어함에 의해 상기 외부클럭에 동기된 데이터 출력동작이 행해지도록 하는 출력 드라이버를 포함함을 특징으로 하는 동기 반도체 메모리 장치.

【청구항 13】

제11항에 있어서, 상기 제1 클럭신호는, 상기 외부클럭을 지연동기함에 의해 상기 외부클럭에 지연동기된 클럭신호가 생성되도록 하는 지연동기회로(DLL)로부터 얻어짐을 특징으로 하는 동기 반도체 메모리 장치.

【청구항 14】

제12항에 있어서, 상기 제1 클럭신호와 상기 제2 클럭신호간의 위상차는 상기 외부클럭의 반주기 만큼임을 특징으로 하는 동기 반도체 메모리 장치.

【청구항 15】

제11항에 있어서, 상기 온다이 터미네이션 동기버퍼는:

상기 온다이 터미네이션 코멘드를 소정시간 동안 지연하는 딜레이와;

상기 딜레이의 출력을 상기 버퍼드 클럭신호에 응답하여 래치함에 의해 상기 온다이 터미네이션 코멘드의 셋업 및 홀드 타임이 결정되도록 하는 제1 플립플롭과;

상기 제1 플립플롭의 출력을 상기 제1 클럭신호에 응답하여 래치함에 의해 동기 온다이 터미네이션 코멘드가 생성되도록 하는 제2 플립플롭을 구비함을 특징으로 하는 동기 반도체 메모리 장치.

【청구항 16】

제15항에 있어서, 상기 온다이 터미네이션 게이트는:

상기 동기 온다이 터미네이션 코멘드의 레벨을 인버팅하기 위한 제1 인버터와;

상기 제1 인버터의 출력을 상기 제1 클럭신호의 제1상태에 응답하여 전송하기 위한 제1 전송게이트와;

상기 제1 전송게이트의 출력을 래치하기 위한 제1 래치와;

상기 제1 래치의 출력을 상기 제2 클럭신호의 제1상태에 응답하여 전송하기 위한 제2 전송게이트와;

상기 제2 전송게이트의 출력을 래치하여 상기 온다이 터미네이션 다운 신호를 생성하는 제2 래치와;

상기 제1 전송게이트의 출력에 게이트가 연결되고 소오스로 전원전압을 수신하며 드레인이 상기 제2 전송게이트의 출력단에 연결된 피형 모오스 트랜지스터와;

상기 제2 래치의 출력을 인버팅하여 상기 온다이 터미네이션 업신호를 생성하는 제2 인버터를 구비함을 특징으로 하는 동기 반도체 메모리 장치.

【청구항 17】

제16항에 있어서, 상기 온다이 터미네이션 드라이버는:

대응되는 출력 패드에 상기 풀업 저항 및 풀다운 저항의 공통 접속노드가 공통으로 연결된 복수의 단위 드라이버로 구성되며,

각각의 단위 드라이버는, 상기 공통 접속노드에 각각의 일단이 공통으로 연결된 상기 풀업 저항 및 풀다운 저항과; 상기 온다이 터미네이션 업 및 다운 신호의 상태와 상기 업 및 다운 인에이블 신호의 상태를 각기 낸드 및 노아 게이팅하여 업 및 다운 조합

신호를 생성하는 게이팅부와; 상기 풀업 저항의 타단에 드레인이 연결되고 소오스로 전원전압을 수신하며 게이트로 상기 업 조합신호의 상태를 수신하는 풀업 트랜지스터와; 상기 풀다운 저항의 타단에 드레인이 연결되고 소오스로 접지전압을 수신하며 게이트로 상기 다운 조합신호의 상태를 수신하는 풀다운 트랜지스터를 가짐을 특징으로 하는 동기 반도체 메모리 장치.

【청구항 18】

제17항에 있어서, 상기 출력 드라이버는 상기 풀업 및 풀다운 트랜지스터를 제외하고는 상기 온다이 터미네이션 드라이버와 같은 형태로 구성됨을 특징으로 하는 동기 반도체 메모리 장치.

【청구항 19】

제17항에 있어서, 상기 온다이 터미네이션 콘트롤부가 외부 제어에 응답하여 상기 업 및 다운 인에이블 신호를 출력할 경우에는 모드 레지스터 세트(MRS) 코드가 외부로부터 수신됨을 특징으로 하는 동기 반도체 메모리 장치.

【청구항 20】

제17항에 있어서, 상기 온다이 터미네이션 콘트롤부의 내부 제어는 퓨즈 옵션에 의해 구현됨을 특징으로 하는 동기 반도체 메모리 장치.

【청구항 21】

제17항에 있어서, 상기 복수의 단위 드라이버중에서 일부 단위 드라이버들은 온다이 터미네이션 저항 값이 75옴인 경우에만 인에이블 됨을 특징으로 하는 동기 반도체 메모리 장치.

【청구항 22】

제17항에 있어서, 상기 복수의 단위 드라이버들은 각기 서로 다른 풀업 및 풀다운 저항값을 가짐을 특징으로 하는 동기 반도체 메모리 장치.

【청구항 23】

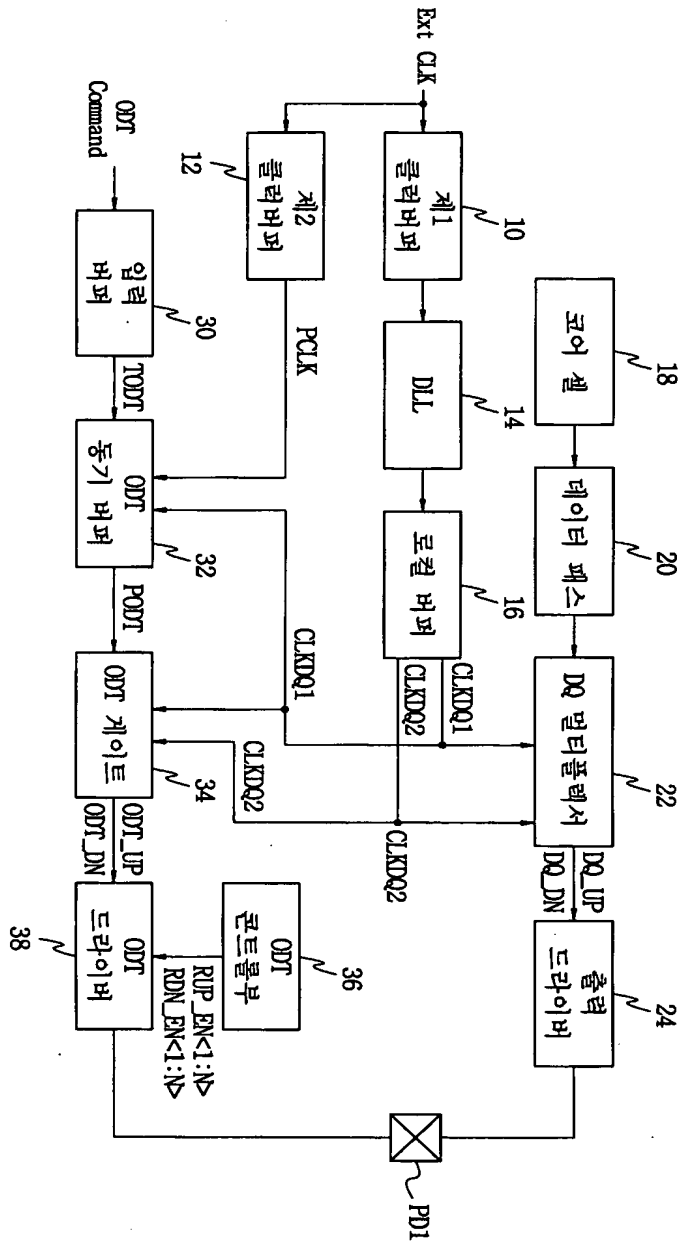
외부클럭에 동기하여 데이터 출력 동작을 행하는 데이터 출력회로를 구비한 동기 반도체 메모리 장치에서의 온다이 터미네이션 방법에 있어서:

상기 데이터 출력 동작을 위한 데이터 출력 업 및 다운 신호의 생성과 동일한 타이밍으로 온다이 터미네이션 업 및 다운 신호를 생성하는 단계와;

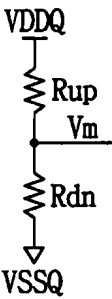
온다이 터미네이션 코멘드가 인가될 경우, 상기 온다이 터미네이션 업 및 다운 신호의 상태에 대응된 온다이 터미네이션 동작을 행하여 온다이 터미네이션을 위한 드라이버들 내의 풀업 및 풀다운 저항이 제어되도록 하는 단계를 가짐을 특징으로 하는 온다이 터미네이션 방법.

【도면】

【도 1】

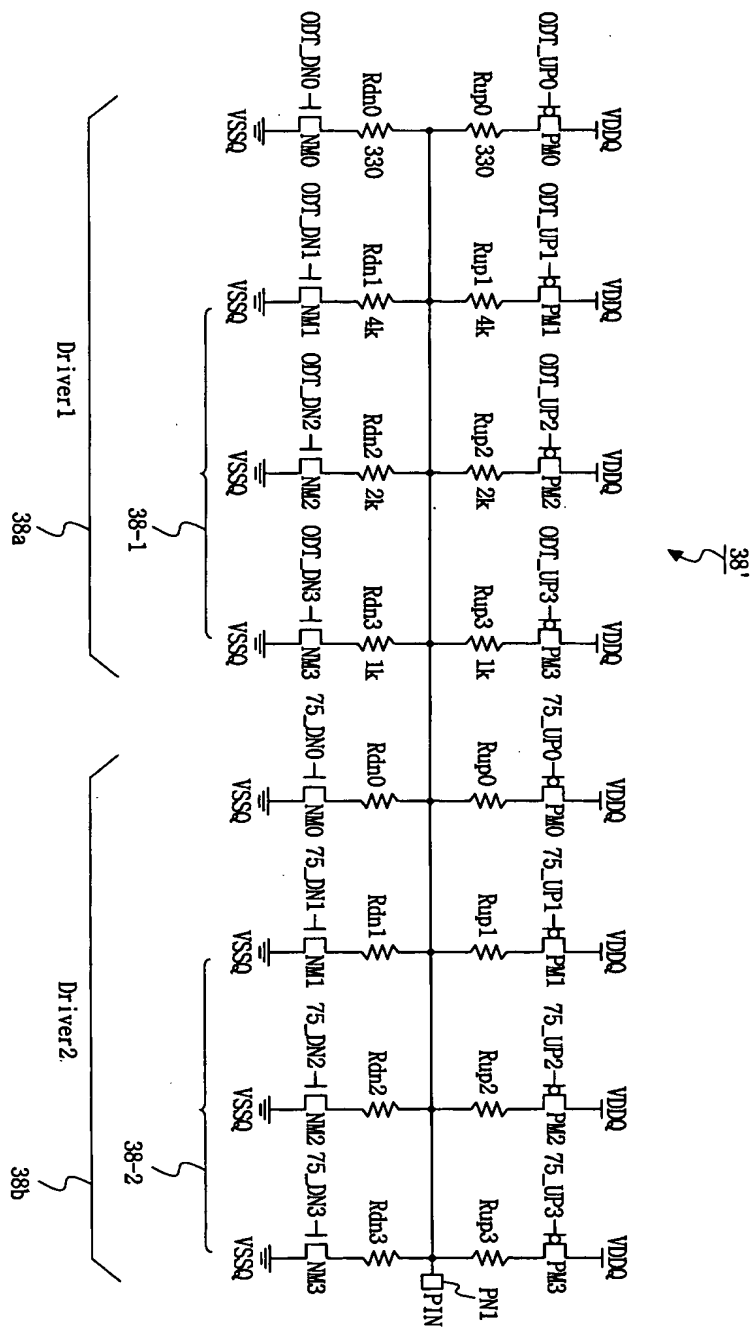


【도 2】

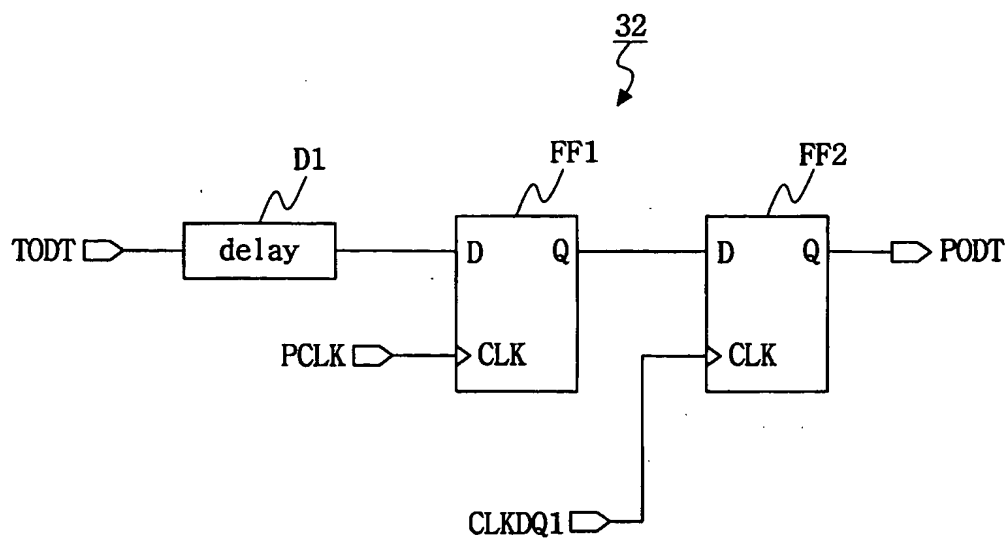


PARAMETER/CONDITION	SYMBOL	MIN	NOM	MAX	UNIT
Rtt(eff) for EMRS(A6,A2)=0,1;75ohm	Rtt1(eff)	60	75	90	ohm
Rtt(eff) for EMRS(A6,A2)=1,0;150ohm	Rtt2(eff)	120	150	180	ohm
Rtt(mis)	Rtt(mis)	-3.75		3.75	%

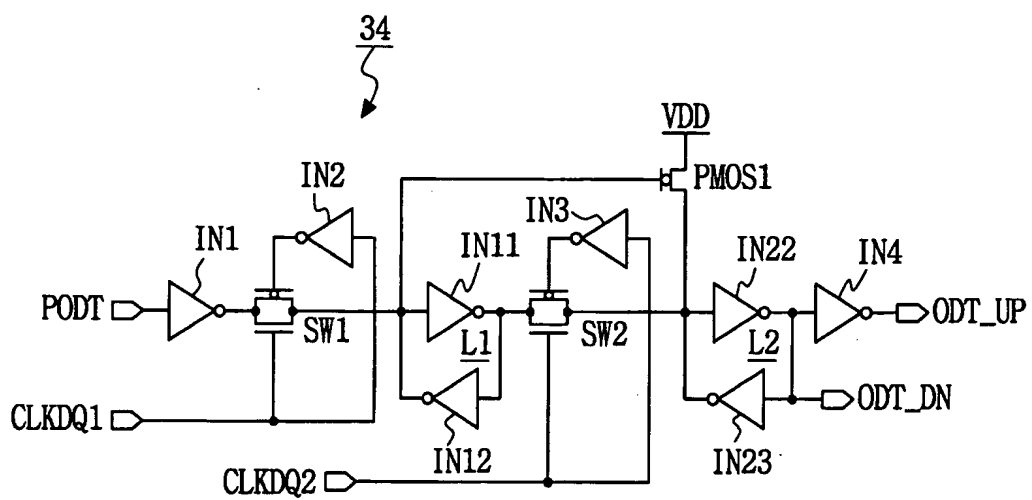
【도 3】



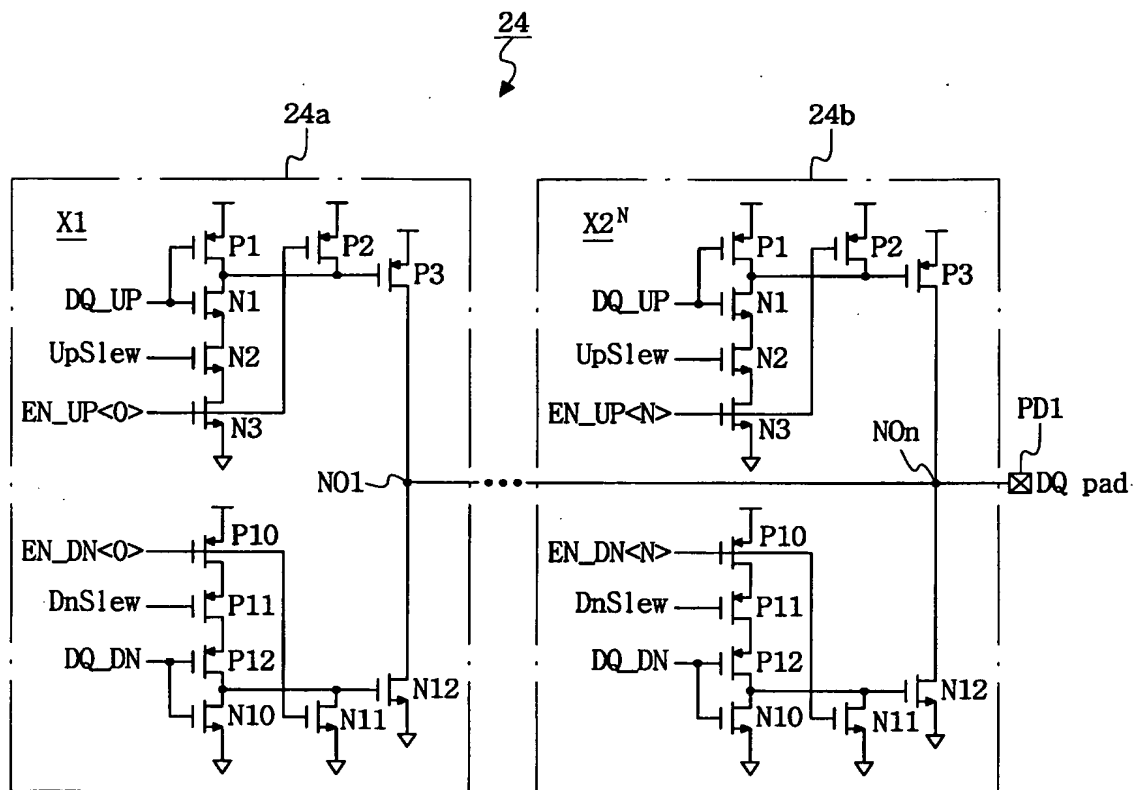
【도 4】



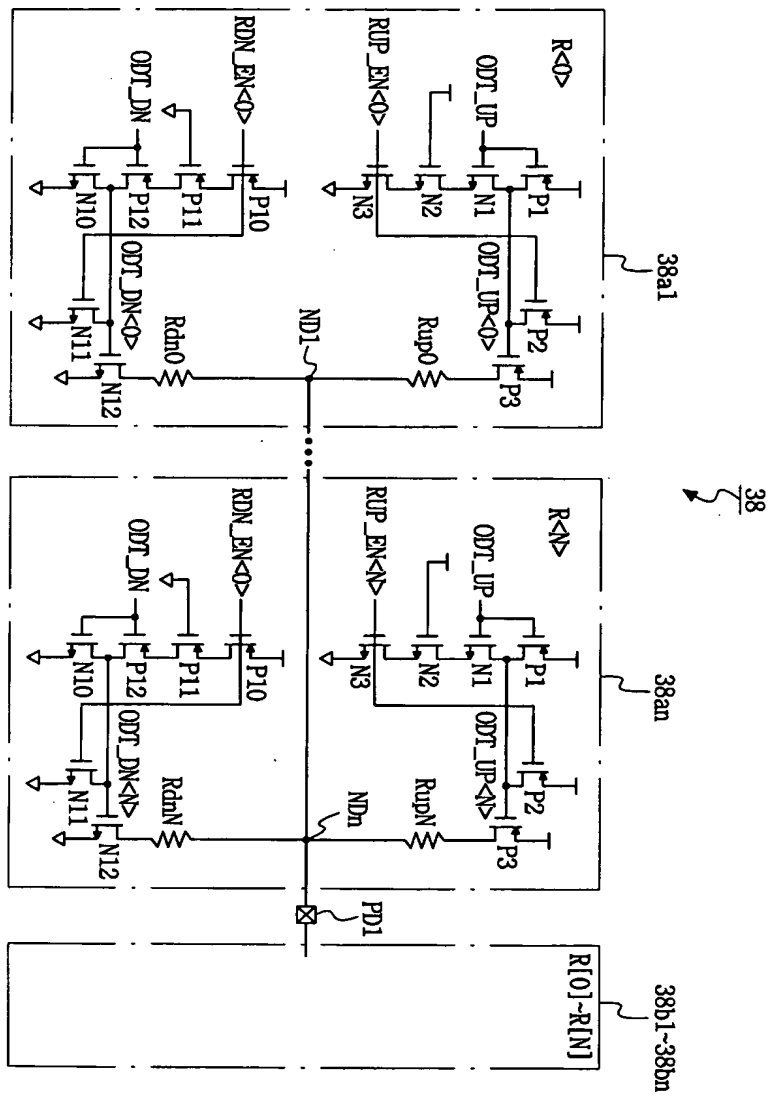
【도 5】



【도 6】



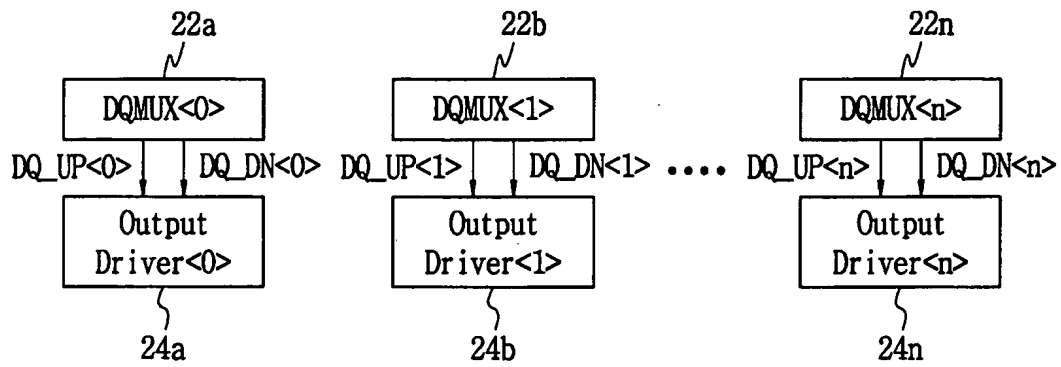
【도 7】



【도 8】

PARAMETER/CONDITION	SYMBOL	MIN	MAX	UNIT
ODT turn-on delay	tAOND	2	2	tCK
ODT turn-on	tAON	tAC(min)	tAC(max)+1ns	ns
ODT turn-off delay	tAOFD	2.5	2.5	tCK
ODT turn-off	tAOF	tAC(min)	tAC(max)+0.6ns	ns

【도 9】



【도 10】

